

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-283754
(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-094171
(22)Date of filing : 16.04.1996

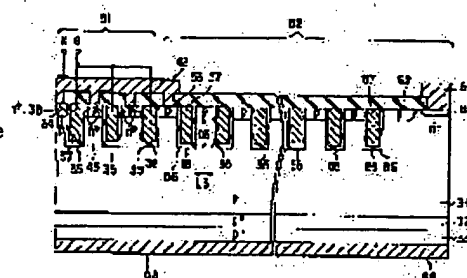
(71)Applicant : TOSHIBA CORP
(72)Inventor : INOUE TOMOKI
OMURA ICHIRO

(54) HIGH WITHSTAND VOLTAGE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high withstand voltage semiconductor device without forming a deep diffusion layer.

SOLUTION: The high withstand voltage semiconductor device has a device region 51 and a junction terminal region 52 provided around the device region 51. In the device region 51 and the junction terminal region 52, a p-type base layer 34 is diffuse-formed within the surface of a high resistance n-type base layer 31. A plurality of trenches 35 where gate electrodes 37 are respectively embedded are formed in the device region 51. A plurality of continuous or discontinuous ring-shaped terminal trenches 55 are formed around the device region 51 in the junction terminal region 52. The trenches 55 penetrate through the p-type base layer 34 and reach a level at the middle of the n-type base layer 31. In the junction terminal region 52, the p-type base layer 34 are divided into a plurality of portions electrically isolated by the trenches 55.



LEGAL STATUS

[Date of request for examination] 07.03.2000
[Date of sending the examiner's decision of rejection] 18.06.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-283754

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H01L 29/78		9447-4M	H01L 29/78	652P
		9447-4M		653C
		9447-4M		655F

審査請求 未請求 請求項の数1 OL (全5頁)

(21)出願番号 特願平8-94171

(22)出願日 平成8年(1996)4月16日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 井上 智樹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

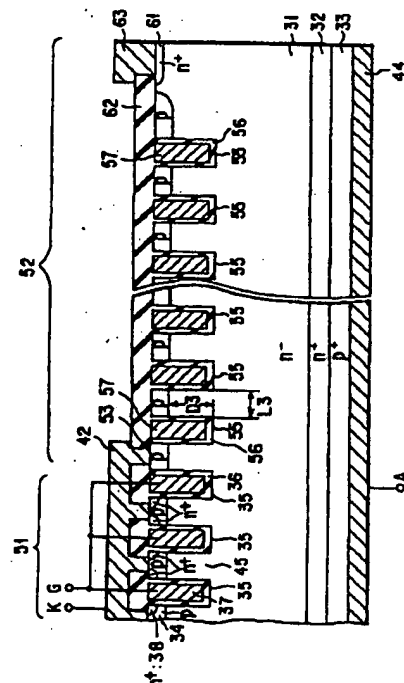
(74)代理人 井理士 鈴江 武彦 (外6名)

(54)【発明の名称】 高耐圧半導体装置

(57)【要約】

【課題】深い拡散層を形成することなく、高耐圧の半導体装置を提供する。

【解決手段】高耐圧半導体装置は、素子領域51とその周囲に配置された接合終端領域52とを有する。素子領域51及び接合終端領域52において、高抵抗のn型ベース層31の表面内にp型ベース層34が拡散形成される。素子領域51には、ゲート電極37を埋め込んだ複数のトレンチ35が形成される。素子領域51を囲んで、接合終端領域52には連続或いは不連続なリング形状を有する複数の終端トレンチ55が形成される。トレンチ55はp型ベース層34を貫通し、n型ベース層31の途中まで達する深さを有する。接合終端領域52において、p型ベース層34はトレンチ55により電氣的に分離された複数の部分に分割される。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】第1導電型ベース層と、前記第1導電型ベース層の表面内に形成された第2導電型ベース層とにより形成される主接合を具備すると共に、主電流が流れる素子領域と前記素子領域を包囲する接合終端領域とを具備する高耐圧半導体装置であって、前記接合終端領域が、前記第2導電型ベース層を貫通し且つ前記第1導電型ベース層の途中の深さまで到達するように形成された複数の終端トレンチを有し、前記接合終端領域において前記終端トレンチにより前記第2導電型ベース層が電気的に分離された複数の部分に分割されることを特徴とする高耐圧半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高耐圧半導体装置に関し、特に埋め込み絶縁ゲート構造を有する高耐圧半導体装置に関する。

【0002】

【従来の技術】高耐圧半導体装置においては、高抵抗半導体基板と、その表面に形成された基板とは異なる導電型の高濃度不純物層、即ち低抵抗層との間に形成される主接合の終端部分の電界集中を緩和するため、従来よりリザーブやガードリングなどの接合終端構造が用いられている。これらの構造は、主接合が逆バイアスの時に主に高抵抗基板側に形成される空乏層を横方向に伸ばすことにより接合終端部分の電界を緩和させている。

【0003】しかしながら、このような高耐圧化技術には次のような問題がある。即ち、埋め込みゲート構造を有する装置においては、埋め込みゲートの底部コーナーの電界集中を緩和するため、埋め込みゲートと同程度の深さまで達するように不純物拡散層を形成しなければならない。このため、長時間の熱処理が必要であり、半導体基板の劣化を引起す可能性がある。また、これらの接合終端構造は、プレーナ技術を前提としているため、化合物半導体のように拡散係数が小さく、不純物拡散が困難な材料からなる基板を用いた場合には、これらの構造を形成するのが困難となる。

【0004】

【発明が解決しようとする課題】上述の如く、従来の高耐圧半導体装置の接合終端構造は、深い拡散層を形成しなければならないため、半導体基板の劣化を引起したり、また、拡散係数が小さい基板の場合には、構造そのものの形成が困難であるという問題がある。従って、本発明は、接合終端領域に深い拡散層を形成することなく高耐圧が得られる高耐圧半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明の第1の視点は、第1導電型ベース層と、前記第1導電型ベース層の表面内に形成された第2導電型ベース層とにより形成される

主接合を具備すると共に、主電流が流れる素子領域と前記素子領域を包囲する接合終端領域とを具備する高耐圧半導体装置であって、前記接合終端領域が、前記第2導電型ベース層を貫通し且つ前記第1導電型ベース層の途中の深さまで到達するように形成された複数の終端トレンチを有し、前記接合終端領域において前記終端トレンチにより前記第2導電型ベース層が電気的に分離された複数の部分に分割されることを特徴とする。

【0006】なお、ここで接合終端領域とは、主電流が流れる領域以外の領域であって、半導体装置の耐圧を大きくするための構造を有する領域である。本発明によれば、接合終端領域に形成された複数の終端トレンチの側面及び底面から空乏層が伸びることにより、第1導電型ベース層と終端トレンチにより分割された第2導電型ベース層とにより形成された主接合からの空乏層が、トレンチ底部を越えて伸びる。このため、主接合から伸びる空乏層が横方向に広がることができ、電界が緩和される。このため、深い拡散層を形成しなくとも、半導体装置を高耐圧化することができる。

【0007】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。なお、以下の実施の形態では第1導電型をn型、第2導電型をp型とする。図1は本発明の実施の形態に係る高耐圧半導体装置の要部を示す断面図である。

【0008】図1図示の如く、高耐圧半導体装置は、主電流が流れる領域、即ち素子領域51と、これを包囲するように配置された接合終端領域52とを有する。素子領域51及び接合終端領域52において、高抵抗のn型ベース層31の裏面に低抵抗のn型バッファ層32を介して低抵抗のp型エミッタ層33が形成される。また、n型ベース層31の表面内にはp型ベース層34が拡散形成される。n型ベース層31の不純物濃度は、 $2 \times 10^{14} \text{ cm}^{-3}$ 以下であることが好ましい。

【0009】素子領域51において、p型ベース層34及びn型ベース層31内には、p型ベース層34を貫通し、n型ベース層31の途中まで達する深さの複数のトレンチ35が形成される。トレンチ35はストライプ状で微小な間隔において平行に配置される。従って、トレンチ35の間に、半導体からなるトレンチ間領域45、即ち電流通路が規定される。

【0010】p型ベース層34の表面内にはトレンチ35の上部に接するように低抵抗のn型エミッタ層38が拡散形成される。トレンチ35内にはゲート絶縁膜36を介してゲート電極37が埋め込み形成される。p型ベース層34及びn型エミッタ層38の両方にコンタクトするようにカソード電極42が配設される。また、p型エミッタ層33にコンタクトするようにアノード電極44が配設される。

【0011】素子領域51を囲んで、接合終端領域52

には連続或いは不連続なリング形状を有する複数の終端トレンチ55が形成される。トレンチ35と同様、トレンチ55はp型ベース層34を貫通し、n型ベース層31の途中まで達する深さを有する。トレンチ55内には絶縁膜56を介してフローティング電極57が埋め込み形成される。接合終端領域52において、p型ベース層34はトレンチ55により電氣的に分離された複数の部分に分割される。

【0012】接合終端領域52の外端部で且つn型ベース層31の表面内には、前記トレンチ55を包囲するように低抵抗のn型端部層61が形成される。n型端部層61にコンタクトするようにリング状端部電極63が配設される。カソード電極42と端部電極63との間の接合終端領域52の表面は、厚い絶縁膜62により被覆される。

【0013】このように構成された高耐圧半導体装置の動作は、以下の通りである。即ち、ターンオン時には、アノードが正となるように、アノード・カソード間に電圧（順バイアス電圧）を印加した状態で、ゲート電極37にカソードに対して正の電圧（正バイアス電圧）を印加する。この正バイアス電圧により、トレンチ35の周囲のp型ベース層34内にn型チャネルが形成され、n型エミッタ層38とn型ベース層31とが短絡する。また、この正バイアス電圧により、n型ベース層31内では、トレンチ35の周囲に電子が蓄積された蓄積層が形成される。

【0014】これにより、n型チャネルを介して電子電流がn型ベース層31に流れ、この電子電流に応じた量の正孔がp型エミッタ層33からn型ベース層31に注入される。この結果、n型ベース層31にキャリアが蓄積され、n型ベース層31は導電変調を起し、n型ベース層31の抵抗が低下する。このようにして、アノード・カソード間に電流が流れる。

【0015】図1図示の半導体装置のターンオフ時には、ゲート電極37にカソードに対してゼロまたは負の電圧（負バイアス電圧）を印加する。これにより、上記n型チャネルが消滅し、n型エミッタ層38からn型ベース層31へ電子が注入されなくなる。この結果、n型ベース層31は導電変調を起こさなくなり、やがて半導体装置は非導通状態になる。

【0016】なお、図1図示の半導体装置はIGBT（Insulated Gate Bipolar Transistor）モードで動作するが、構造上のパラメータを特定することにより、同じ構造でIEGT（Injection-Enhanced Gate Transistor）モードで動作させることもできる。

【0017】図1図示の半導体装置において、アノード・カソード間に順バイアス電圧を印加すると、n型ベース層31内に大きな空乏層が形成され、高電界が生じる。この際、カソード電極42から離れるに従って、終端トレンチ55ごとに電位が上昇し、カソード電極42

から遠いトレンチ55ほど電位が高くなる。その結果、半導体基板表面の電界強度が緩和され、装置の破壊が防止される。換言すると、もし、終端トレンチ55が存在しないと、カソード電極42の端部53における電位勾配が急峻になり、装置が破壊される。

【0018】ここで、終端トレンチ55の本数は、必要な耐圧に応じて決定される。トレンチの本数が多くなるほど耐圧は高くなり、例えば200本程度であれば4.5kV程度の耐圧が得られる。また、ピンチオフをさせて等電位面を平坦にするためには、トレンチ55間の間隔L3は4 μ m以下であることが望ましく、n型ベース層内におけるトレンチ55の深さD3は、間隔L3よりも大きいことが望ましい。

【0019】図2は本発明の別の実施の形態に係る高耐圧半導体装置の要部を示す断面図である。なお、以下の図において、図1と同一部分には同一符号を付して詳細な説明を省略する。

【0020】この実施の形態の高耐圧半導体装置が図1図示の半導体装置と異なる点は、フローティング電極57、カソード電極42、及びリング状端部電極63を高抵抗膜即ち半絶縁性膜64を介して接続したことにある。半絶縁性膜64は、例えばSIPOS（Semi-Insulating Polycrystalline Silicon）から形成することができる。

【0021】図2図示の半導体装置によれば、フローティング電極57の電位をカソード電極42から端部電極63に向かって順に確実に上げることができる。このため、半導体装置の耐圧の信頼性が向上する。

【0022】図3は本発明の更に別の実施の形態に係る高耐圧半導体装置の要部を示す断面図である。この実施の形態の高耐圧半導体装置が図1図示の半導体装置と異なる点は、接合終端領域52のトレンチ55の深さが、トレンチ55がカソード電極42から遠くなるほど、即ち素子領域51から遠くなるほど順に浅くなることにある。この様な構造は、トレンチ55の幅を素子領域51から遠くなるほど徐々に広くしていくことで容易に実現することができる。

【0023】図3図示の半導体装置によれば、n型端部層61近傍の電界を緩和することができ、このため、接合終端領域52の長さを短くすることが可能となる。なお、上述の実施の形態においては、埋め込み絶縁ゲート構造を有するIGBT或いはIEGTを例示したが、本発明に係る接合終端構造は、ダイオード、バイポーラトランジスタ、パワーMOSFET等の、埋め込み絶縁ゲート構造を有する他のタイプの半導体装置に適用することができ、更に、埋め込み絶縁ゲート構造を有しないプレーナ構造の半導体装置にも適用することができる。

【0024】

【発明の効果】本発明によれば、接合終端領域に深い拡散層を形成することなく、十分に大きな耐圧を有する高

耐圧半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る高耐圧半導体装置の要部を示す断面図。

【図2】本発明の別の実施の形態に係る高耐圧半導体装置の要部を示す断面図。

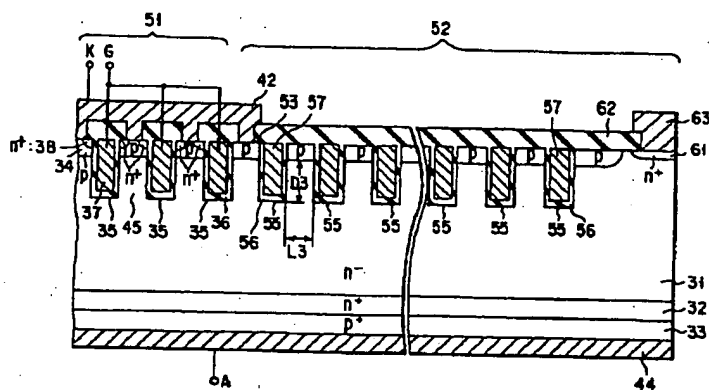
【図3】本発明の更に別の実施の形態に係る高耐圧半導体装置の要部を示す断面図。

【符号の説明】

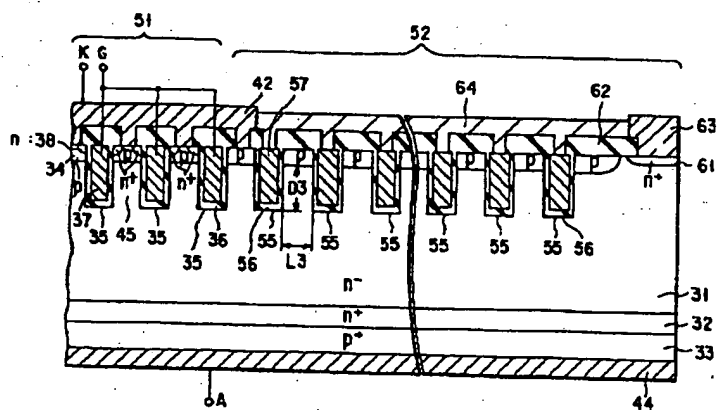
31…n型ベース層（第1導電型ベース層）
33…p型エミッタ層（第2導電型エミッタ層）
34…p型ベース層（第2導電型ベース層）
35…トレンチ

36…ゲート絶縁膜
37…ゲート電極
38…n型エミッタ層（第1導電型エミッタ層）
42…カソード電極
44…アノード電極
45…トレンチ間領域
51…素子領域
52…接合終端領域
55…終端トレンチ
57…フローティング電極
61…n型端部層
63…端部電極
64…半絶縁性膜

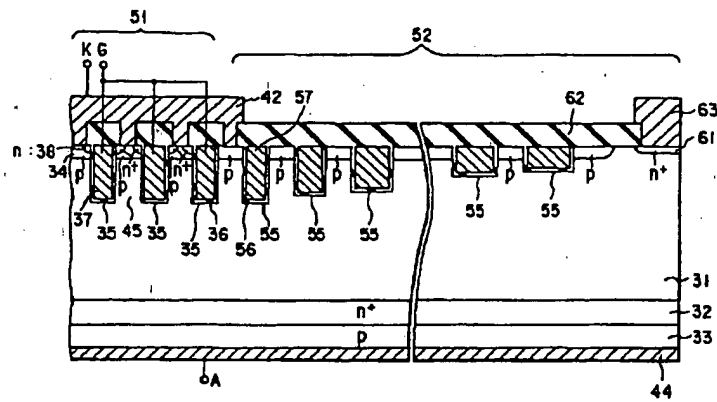
【図1】



【図2】



【図 3】



BEST AVAILABLE COPY